

Chipeinbettung in iBoard-Technologie geht in Serie

Thomas Gottwald, Ulrich Ockenfuß, Schweizer Electronic AG

1 Einleitung

Bauteileintegration in die Leiterplatte wird zunehmend zu einem Thema, das aus den Labors der Institute und Universitäten in industrielle Anwendungen überführt wird. Die Zahl der Interessenten für diese noch junge Technologie steigt ebenso, wie die Anzahl der Veröffentlichungen zu diesem Thema.

Wer sich das erste Mal mit dem Thema Chip Integration oder Chip-Einbettung auseinandersetzt, stellt sich in der Regel zwei wesentliche Fragen:

1. Was bringt es?
2. Was kostet es?

Im Folgenden soll versucht werden, Antworten auf diese und weitere interessante Fragestellungen zu geben.

2 Nutzen der Bauteileintegration

Es gibt viele gute Gründe, warum Systemarchitekten den Charme der Bauteileintegration entdeckt haben. Der erste und nahe liegende Grund ist die Flächensparnis auf den Leiterplattenaußenlagen. Es existiert eine zunehmende Anzahl von Anwendungen, bei denen die zu bestückenden Bauteile das

Flächenangebot der Leiterplatte übersteigen. Sind die Abmessungen für die Leiterplatte festgelegt und können nicht vergrößert werden, müssen gezwungenermaßen Komponenten ins Innere der Leiterplatte verlagert werden, wenn nicht auf Funktionalität verzichtet werden soll.

Eine Alternative zur Chip-Einbettung ist die Integration von beispielsweise passiven Komponenten auf Chips durch die Herstellung von ASIC-Komponenten. Für viele Anwendungen ist dieser Schritt jedoch zu zeitaufwendig und zu kostspielig.

Ein weiterer Grund, warum über Chip-Integration nachgedacht wird, ist die Tatsache, dass es leichter ist, Chip-Komponenten zu entwärmen, die in Leiterplatten eingebettet sind, als wenn diese in BGA-Gehäusen verbaut werden. Im ersten Moment mag dies überraschen, wenn man sich jedoch den inneren Aufbau von BGA-Gehäusen genauer betrachtet und den Möglichkeiten der Leiterplattenintegration gegenüberstellt, werden die Vorteile, die mittels Einbettung erzielt werden können, schnell sichtbar. Durch geringere thermische Widerstände bei Einbettung in die Leiterplatte kann der Einsatzbereich

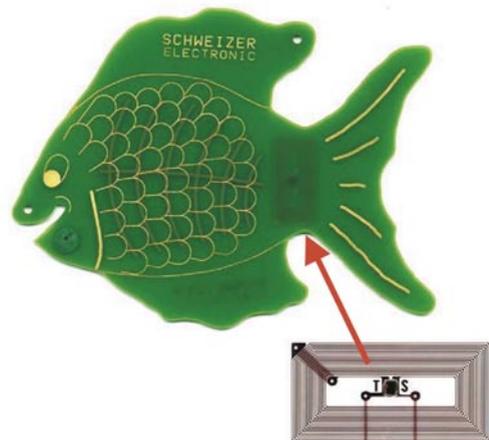


Abb. 1: Schweizer iBoard Test-Vehikel und Schweizer iFish

von verlustbehafteten Bauelementen so in deutlich höhere Temperaturbereiche angehoben werden.

Die Einbettung von Chips im Inneren von Leiterplatten stellt außer dem physikalischen Schutz der Komponenten auch einen guten Schutz für sensible gespeicherte Informationen dar. Die Erreichbarkeit im Inneren der Leiterplatte wird erheblich erschwert, wodurch sich mit einer intelligenten Architektur Sicherheitskonzepte entwickeln lassen, die höchsten Anforderungen genügen.

Auch das Einbetten von RFID-Chips in Leiterplatten eröffnet völlig neue Möglichkeiten. Demonstratoren für solche Anwendungen wurden in Form des *iFish* von Schweizer auf der *Electronica 2008* präsentiert (Abb. 1). Der komplette Lebenslauf einer Baugruppe lässt sich in den Speicher eines RFID-Chips ablegen, ebenso wie Versionsstände von beispielsweise Firmware, was Servicetechnikern im Feld das Abrufen von Informationen erheblich vereinfachen kann.

Ein guter Grund, der für das *embedding* spricht, ist die nachgewiesene hohe Zuverlässigkeit der Verbindungen zwischen Chip und Leiterplatte, die die Zuverlässigkeit von oberflächenmontierten Bauteilen bei weitem übersteigt.

Durch Bestückung von Komponenten im Innern der Leiterplatte steigen die Freiheitsgrade für Designer und Systemarchitekten. Durch ein 3-dimensionales Design ergeben sich völlig neue Möglichkeiten wie zum Beispiel kürzeste Signalwege von Komponenten, wenn diese übereinander montiert werden.

3 Kostenaspekte

Wenn die Entscheidung hinsichtlich Bauteileintegration gefallen ist, stellt sich die Frage nach der

für die Anwendung optimalen Integrationsmethode. Die Kostensituation wurde bei Schweizer schon frühzeitig als erfolgskritischer Faktor erkannt. Aus diesem Grund wurde ein externer Berater mit besten Kenntnissen der weltweiten Aktivitäten zum Thema Chip-embedding beauftragt, ein Kostensimulationsmodell aufzubauen. Anhand von fünf verschiedenen Layouts aus unterschiedlichen Branchen, wurden die Kostenauswirkungen anhand konkreter Anwendungsbeispiele analysiert, die sich durch Umstellung auf Bauteileintegration in Leiterplatten ergeben. Dabei wurde die *Schweizer iBoard*-Technologie zunächst der SMD-Montage gegenübergestellt. In die Analyse wurden allerdings auch alternative Integrationsansätze mit einbezogen und der *iBoard*-Technologie gegenübergestellt. Das Ergebnis dieser Kostensimulation ermöglicht es heute, Interessenten für diese Technologie eine erste Indikation zu vermitteln, ob Chip-Integration in Frage kommen kann und welche Technologie die richtige für das jeweilige Problem ist.

Die Produktionsmethoden von Halbleiterbauelementen und Leiterplatten unterscheiden sich fundamental voneinander, dennoch gibt es hinsichtlich der Kostenstrukturen Gemeinsamkeiten.

Beide Produkte werden auf investitionsintensiven Produktionsanlagen gefertigt, wodurch ein Großteil der Kosten auf die anteiligen Abschreibungen der Anlagen entfällt. Je länger ein Arbeitsgang auf einer kostenintensiven Anlage dauert, desto höher die Produktionskosten je gefertigter Einheit. Je größer die produzierte Stückzahl pro Fertigungseinheit ist, umso geringer fallen dabei die Kosten pro Stück aus.

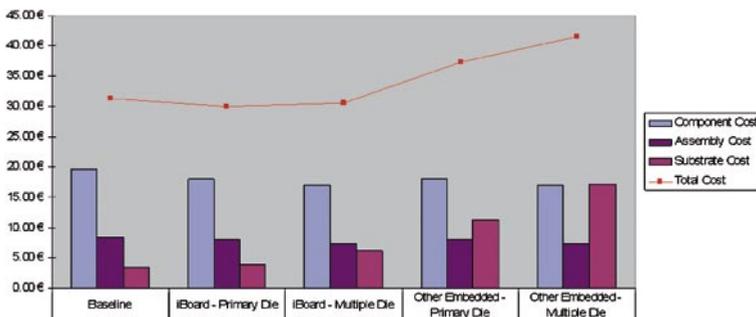


Abb. 2: Ausschnitt aus einer grafischen Auswertung einer Kostensimulation

Aus diesem Grund haben sich sowohl bei Halbleitern als auch bei der Leiterplatte die Fertigungsformate vergrößert und die Strukturgrößen im Einzelteil sukzessive verkleinert.

Bei der Leiterplatte ist die Größe oft durch die Anzahl und den Platzbedarf der zu bestückenden Bauelemente festgelegt, teilweise auch durch den Einbauraum vorgegeben. Es gibt jedoch bereits Anwendungen, bei denen die Oberfläche der Leiterplatte nicht mehr ausreicht, um alle Bauelemente unterzubringen. Diese Anwendungen erfordern zwingend die Integration von Bauteilen, wenn nicht auf gewisse Funktionen verzichtet werden soll.

Bei Halbleitern spielt die Größe der Bauteile eine wesentliche Rolle. Der Flächenbedarf eines Halbleiters ist direkt proportional zu den Herstellungskosten. Da auch die Bauteilanschlüsse Platz benötigen, besteht der Trend zu immer kleineren Anschluss pads auf den Chips, da sich so Fläche sparen lässt. Die Fortschritte beim Drahtbonden, immer kleinere Anschlüsse verarbeiten zu können, kommen den Halbleiter-Herstellern dabei entgegen. Seit mehreren Jahren sind Chippads von 65 μm und darunter in Volumenproduktion.

Aus Kostensicht stellt sich daher bei der Chipintegration in Leiterplatten die Aufgabe, Chips mit möglichst kleinen Anschluss pads auf möglichst großen Leiterplattenformaten verarbeiten zu können.

Annäherung der Strukturgrößen von Leiterplatte und Halbleitern

Wenn man die historische Entwicklung der Leiterplattenwelt und die der Halbleiterwelt betrachtet, stellt man fest, dass *Moore's Law* noch heute gilt,

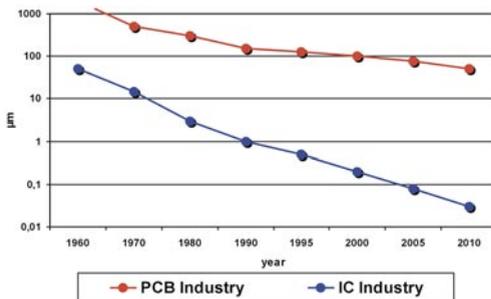


Abb. 3: Strukturgrößen von Leiterplatten- und Chipindustrie im Vergleich (2009/2010: Prognose)

wenn auch mit gewissen Einschränkungen, was die zeitliche Prognose betrifft (Abb. 3).

Betrachtet man die Entwicklung genauer, lässt sich feststellen, dass die IC-Geometrien sich ungefähr alle fünf Jahre halbieren. Die minimalen Geometrien auf der Leiterplatte halbieren sich jedoch nur alle sieben bis acht Jahre.

Die Hoffnung, dass sich die Strukturen von Leiterplatte und Siliziumkomponenten einander angleichen würden, erscheint damit unbegründet: Das Gegenteil ist der Fall. Hält die Entwicklung der Vergangenheit an, wird die Schere zwischen der Leiterplatten- und der Halbleiterwelt immer weiter auseinander gehen. Zwischenzeitlich wird von Halbleiterherstellern bereits diskutiert, dass das Fehlen einer geeigneten Verbindungstechnologie zur Leiterplatte die Fortschritte in der weiteren Miniaturisierung behindert. Die Lücke, die hier erkannt wird, wird als *interconnect-gap* bezeichnet.

Für das Jahr 2009 kündigt *Intel*[®] Transistorgrößen von 35 nm auf Ihren Prozessoren an.

4 Die Lücke schließen

An dieser Lücke setzt das *Schweizer iBoard* an. Durch die Verwendung einer zusätzlichen Umverdrahtungsleiterplatte, eines so genannten *Interposers*, findet eine Entkopplung zwischen Bauteilmontage und Kontaktierung zur Leiterplatte statt (Abb. 4).

Das Kernstück der *iBoard*-Technologie, ein dünner *Interposer*, wird mit einem Siliziumchip mit extrem hoher Genauigkeit bestückt. Nach Bestückung kann das aufgebaute Modul elektrisch getestet werden, wodurch sichergestellt wird, dass sowohl der Chip, die Aufbau- und Verbindungstechnik, als auch der

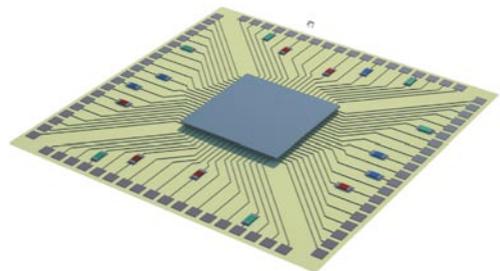


Abb. 4: Interposer mit bestückten aktiven und passiven Komponenten. Originalgröße etwa 15 x 15 mm²

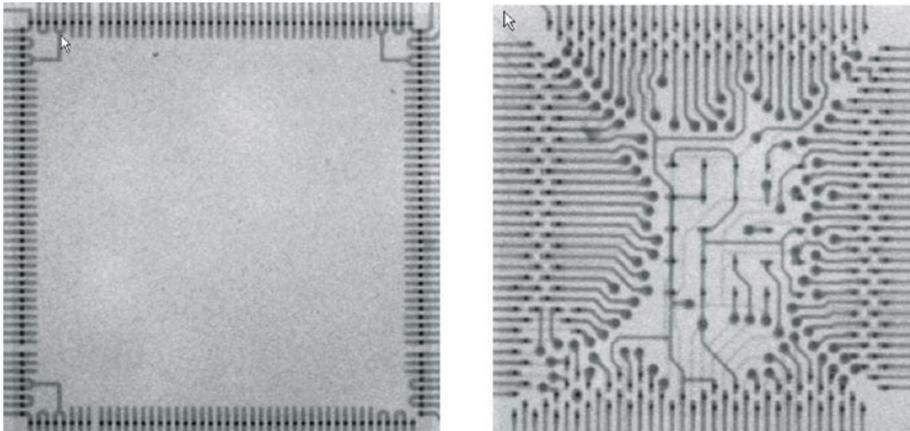


Abb. 5: Röntgenaufnahmen eines mit einem einreihigen Testchip bestückten Interposers sowie einer vierreihigen Automotive-Anwendung auf einem zweiseitigen Interposer

Interposer einwandfrei funktionieren. Der *Interposer* wird aus gängigen Leiterplattenmaterialien hergestellt.

Anschließend wird dieses vormontierte Element zwischen den Prepregs eines Multilayers verlegt und verpresst.

Durch die Vergrößerung der Anschlussstrukturen kann der *Interposer* nun mit konventionellen Methoden ankontaktiert werden, indem dessen Pads durchbohrt und die Lochwandung mit Kupfer plattiert werden. Dieser Prozess des Ankontaktierens ist Stand der Technik und wird bei jedem gefertigten Multilayer angewendet.

Wird der *Interposer* in der neutralen Faser des Leiterplattenaufbaus verlegt, kommen konventionelle, mechanisch gebohrte Löcher zum Einsatz, bei Montage unterhalb einer Außenlage können auch Laserbohrungen verwendet werden.

Die Montage eines Chips erfolgt dabei direkt auf den Leiterbahnen des *Interposers*, wodurch es möglich wird feinste Anschlussstrukturen sicher zu kontaktieren. Das Montageprinzip verdeutlicht *Abbildung 5*.

5 Schritte zum Schweizer iBoard

Um Bauelemente in die Leiterplatte zu integrieren, ist eine enge Zusammenarbeit zwischen Systemarchitekt und Systemintegrator erforderlich. Gute Beziehungen zum Bauteilehersteller unterstützen

dabei den Ablauf. Am Beispiel der Chipintegration wird im Folgenden aufgezeigt, wie ein Produkt entsteht:

Anhand des Bestückungsplans werden zunächst die Komponenten identifiziert, die für eine Einbettung am meisten Sinn machen. Unter Kostengesichtspunkten sind dies in der Regel große Bauelemente mit hohem Flächenverbrauch wie beispielsweise QFP's (Quad Flat Packs) oder BGA (Ball Grid Arrays).

Nach erfolgter Auswahl wird geklärt, ob der Chip als kompletter Wafer verfügbar ist. Dies ist notwendig, um Chips im gedünnten Zustand integrieren zu können. Das rückseitige Abdünnen von Chips ist nur im vollständigen, ungesägten Wafer möglich. Es ist zwar grundsätzlich auch möglich ungedünnte Chips einzubetten, jedoch ist dies oft gegenläufig zu den Bestrebungen, die Leiterplatte möglichst kompakt, also auch möglichst dünn zu halten.

Für erste Bemusterungen hingegen, bei denen es noch nicht auf den endgültigen Formfaktor ankommt, hat es sich bewährt, ungedünnte Einzelchips zu verwenden, da deren Beschaffung einen geringeren Aufwand und geringere Kosten mit sich bringt.

Nach Klärung der Verfügbarkeit der Komponenten kann die Designphase gestartet werden. Im Falle eines QFP-Bauelements ist diese denkbar einfach, da der *Interposer* in erster Näherung gleich aussieht,

wie ein Lead-Frame, das sich in einem QFP-Bauelement befindet. Dort, wo sonst die Anschlussbeinchen des Bauelements platziert werden, befinden sich beim *iBoard* die Durchkontaktierungen zum *Interposer*, der später ins Innere der Leiterplatte verlegt wird.

Alle Designaufgaben konnten bisher mit minimalem Erklärungsaufwand mit bestehenden Designwerkzeugen umgesetzt werden. Spezielle Software Tools sind nicht erforderlich.

Nach Abschluss des Designs wird der *Interposer* bei *Schweizer* gefertigt. Der Chip wird bei einem Vertragspartner bestückt, die elektrische Prüfung findet entweder bei *Schweizer* oder beim Bestückungspartner statt.

Parallel werden die Innenlagen des *iBoards* gefertigt. Der bestückte *Interposer* wird vor dem Lami-

nierprozess lagerichtig in das Presspaket eingebracht und in den Gesamtaufbau einlaminiert. Nach diesen Schritten erfolgt die Endfertigung des *iBoards* in Standardleiterplattenprozessen.

Der elektrische Test des Endprodukts erfolgt in zwei Stufen, bei denen einerseits die Leiterplattenfunktionalität, andererseits die Funktion des Bauelements geprüft wird. Der Ablauf des Herstellprozesses ist grafisch im *Abbildung 6* zusammengefasst.

6 Schweizer *iBoard* Vorteile:

Durch die Montage der Bauteile auf einem Bauteilträger, dem *Interposer*, können Standardbestückungsanlagen verwendet werden. Die hohe Bestückungsgenauigkeit muss nur in einem beherrschbaren Bereich erbracht werden. Die Bestückung

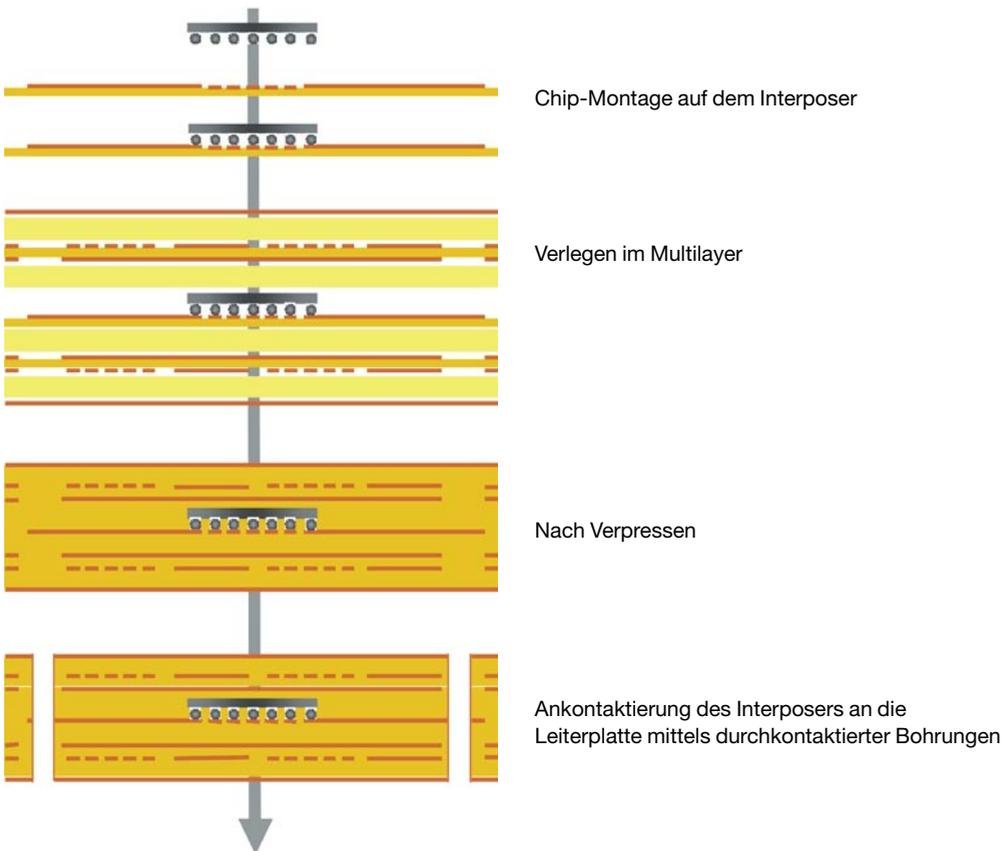


Abb. 6: Herstellungsprozess Schweizer *iBoard*

kann somit mit hohen Ausbeuten und zuverlässiger Ankontaktierung erfolgen.

Feinste Chipstrukturen werden beherrschbar. Gängige Chippads sind heute in einem Bereich von 65 bis 100 µm, bei minimalen Abständen von 15 bis 20 µm.

Durch direkte Montage des Chips auf Leiterbahnen des *Interposers* sind Chips mit 80 µm pitch verwendbar. Der *Interposer* wird in solchen Fällen mit 50 µm Leiterbahnen und 30 µm Abständen hergestellt. Dies sind Leiterstrukturen, die sich noch auf konventionellem Leiterplattenanlagen herstellen lassen. Das *iBoard* unterstützt damit die Bestrebungen, mit geringen Chip-Pad-Größen die Kosten für die Halbleiter gering zu halten.

Nach dem Aufbau der Komponenten auf den *Interposer* kann dieser mit gängigen Nadelbettadaptern elektrisch getestet werden. Dieser Test kann unter Umständen teure Nacktchip-Prüfungen vereinfachen oder ganz ersetzen. Durch eine Kooperation zwischen Halbleiter- und Leiterplattenhersteller können hier Synergien optimal genutzt werden.

Mit dieser Prüfung wird zudem sichergestellt, dass nur einwandfreie Bauteile in die Leiterplatte einlaminiert werden. Dies ist ein wichtiger Gesichtspunkt für die Gesamtkostenbetrachtung, da niemand eine funktionell gute Leiterplatte aufgrund eines einzelnen, defekten Bauelements verwerfen möchte.

Da der *Interposer* nicht auf Innenlagen sondern zwischen denselben verlegt wird, muss kein Platz für das Bauelement selbst frei gehalten werden. Nur die Anschlusspads und korrespondierende Antipads in Versorgungslagen sind zu berücksichtigen. Der frei bleibende Platz kann für andere Zwecke verwendet werden.

Der Leiterplattendesigner bekommt durch die *iBoard*-Technologie einen zusätzlichen Freiheitsgrad. Durch die freie Gestaltungsmöglichkeit des *Interposers* kann er seine Anschlusspads so positionieren, dass diese ideal zur Entflechtung der restlichen Leiterplatte passen. Damit werden Standardhalbleiterchips frei konfigurierbar.

Die Ankontaktierung des *Interposers* an die Leiterplatte erfolgt wie bei jedem konventionell gefertigten Multilayer, indem dessen Pads durchbohrt werden und die Lochwandung durchkontaktiert wird.

Der *Interposer* selbst besteht ebenfalls aus sehr dünnem Leiterplattenbasiertmaterial. Die Zuverlässigkeit dieser Methode ist bestens bekannt, da jeder Multilayer auf gleiche Art und Weise hergestellt wird.

Eingebettete Bauelemente haben eine sehr hohe Zuverlässigkeit, selbst unter rauen Umgebungsbedingungen. Im Rahmen der Qualifikation der *iBoard*-Technologie konnten 5000 Zyklen zwischen -40 und +140 °C nachgewiesen werden, ohne dass elektrische Ausfälle auftraten. Im Rahmen einer statistischen Versuchsplanung haben Proben selbst einen Temperaturwechsellast zwischen -65 und +150 °C bis zu 3000 Zyklen ohne messbare Schädigung überlebt. Die tatsächlichen Grenzen der Belastbarkeit sind noch nicht erprobt, diese liegen aber nach diesen Ergebnissen höher, als von SMT-Bauteilen auf der Oberfläche der Leiterplatte sowie der Leiterplatte und ihrer Durchkontaktierungen selbst.

Im Rahmen einer Kostensimulation konnte aufgezeigt werden, dass durch die Verwendung eines *Interposers* und der damit einhergehenden Vergrößerung der Anschlussstrukturen eine Vereinfachung komplexer Leiterplattenkonstruktionen möglich ist. So konnte eine 6-Lagen-HDI-Schaltung mit einem buried-Kern und zwei Aufbauagen je Seite zu einem einfachen Standard 6-Lagen-Multilayer zurückgeführt werden. Die Kostenersparnis bei der Leiterplattenherstellung war dabei größer, als die zusätzlichen Aufwendungen für die Bauteileintegration.

Das Einbetten des *Interposers* zwischen den Versorgungslagen eines Multilayers birgt die Möglichkeit der effektiven Schirmung vor elektromagnetischen Einflüssen. Da diese Versorgungslagen sowieso vorhanden sind, kann diese Schirmungsmöglichkeit ohne zusätzliche Kosten realisiert werden.

7 Ausblick

Durch erste Produkte, die bereits realisiert und erfolgreich qualifiziert wurden, ist der Nachweis der Serientauglichkeit erbracht. Weitere *Schweizer iBoards* befinden sich derzeit in der Qualifizierungsphase bei mehreren großen OEMs. Momentan laufen weitere Machbarkeitsstudien für Massen Anwendungen. Das Kundeninteresse kommt dabei aus allen Bereichen der Industrie. Anwendungen

aus dem Bereich der Telekommunikation, Industrieelektronik sowie der Automotive-Industrie wurden oder werden derzeit bemustert. In allen Fällen konnten die Einfachheit des Konzeptes sowie die überwiegende Verwendung von Standardprozessen überzeugen.

Derzeit läuft die Phase des Serienanlaufs und Erweiterung der Anwendungsgebiete. Die von *Schweizer* patentierte *iBoard*-Technologie steht damit für weitere industrielle Anwendungen zur Verfügung.

BMBF Förderprojekt VISA

Im Rahmen des vom Bundesministerium für Bildung und Forschung geförderten Projekts *VISA* (Vollintegrierte Leistungselektronische Systeme in der Automobilindustrie) beteiligt sich *Schweizer* mit der Bereitstellung der *iBoard*-Technologie am gemeinsamen Forschungsvorhaben zwischen den Partnern.

Conti Temic microelectronic GmbH, Nürnberg (Projektkoordinator); *Philips Technologie GmbH*, Forschungslaboratorien, Aachen; *Vacuumschmelze*

GmbH & Co. KG, Hanau; *Chemnitzer Werkstoffmechanik GmbH*, Chemnitz; *Fraunhofer Institut für Polymermaterialien und Composite (PYCO)*; *Technische Universität Berlin*, *RWTH Aachen*, Institut für Stromrichtertechnik und Elektrische Antriebe.

Dabei soll die Integration von aktiven und passiven elektronischen Bauelementen für Serienprodukte wie Getriebelektronik, LED-Ansteuerungselektronik und DC/DC-Wandler qualifiziert werden.

Im Rahmen des Projektes wird auch das vom *Fraunhofer Institut IZM*, Berlin, unter dem Namen *Chip in Polymer* entwickelte Verfahren zur Bauteileintegration mit qualifiziert, welches auf einer direkten Ankontaktierung der Chippads an die Leiterplatte beruht.

Weitere Informationen zu VISA: www.visa-projekt.de (Befand sich zum Zeitpunkt der Erstellung des Artikels noch im Aufbau).

Kontaktadresse

Thomas Gottwald, Schweizer Electronic AG, Tel. +49/7422/512365, thomas.gottwald@schweizerelectronic.ag, www.schweizerelectronic.ag